

**SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**

Patent Number: JP11243195  
Publication date: 1999-09-07  
Inventor(s): HIEDA KATSUHIKO  
Applicant(s): TOSHIBA CORP  
Requested Patent: ☐ JP11243195  
Application Number: JP19980185302 19980630  
Priority Number(s):  
IPC Classification: H01L29/78  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To produce a semiconductor device in a microstructure by a method, wherein a recess is provided to a semiconductor substrate in an element forming region, penetrating an interlayer insulating film, a gate electrode is imbedded in the recess, and a source diffusion layer and a drain diffusion layer are provided to the surface of the semiconductor substrate so as to sandwich the recess between them.

**SOLUTION:** As recess 107 is provided to a silicon substrate 101 in an element forming region, penetrating through an interlayer insulating film 106, and a gate electrode 110 is embedded in the recess 107 through the intermediary of a gate insulating film 107. Source/drain diffusion layers 104 and 105 are formed on the surface of the semiconductor substrate 101 so as to sandwich the recess 107 between them. The thickness of the upper part of the gate electrode 110 protruding from the surface of the semiconductor substrate 101 is set twice as thick as or more than that of the lower part buried in the recess 107. By this setup, the gate electrode 110 can be restrained from overhanging the diffusion layers 104 and 105, and a MOS transistor of grooved-type channel structure can be produced into a microstructure.

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-243195

(43) 公開日 平成11年(1999) 9月7日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 29/78

識別記号

F I

H 0 1 L 29/78

3 0 1 V

審査請求 未請求 請求項の数 8 O L (全 16 頁)

(21) 出願番号 特願平10-185302

(22) 出願日 平成10年(1998) 6月30日

(31) 優先権主張番号 特願平9-366810

(32) 優先日 平 9 (1997) 12月26日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 稗田 克彦

神奈川県横浜市磯子区新杉田町 8 番地 株

式会社東芝横浜事業所内

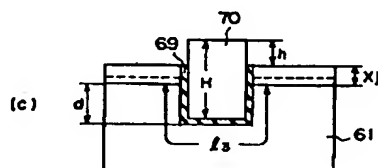
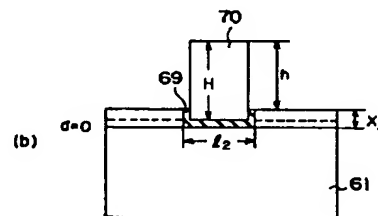
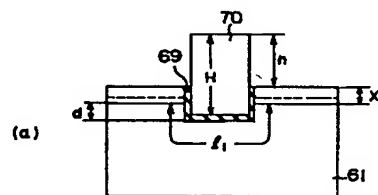
(74) 代理人 弁理士 鈴江 武彦 (外 6 名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 素子の微細化を可能とするとともに、ゲート電極の抵抗を下げ、ゲート電極による段差を緩和した半導体装置およびその製造方法を提供すること。

【解決手段】 半導体基板と、この半導体基板に形成された溝の底面および側面に形成されたゲート絶縁膜と、前記底面および側面にゲート絶縁膜が形成された溝内に下部が埋め込まれ、上部が前記半導体基板の表面から突出するゲート電極と、前記ゲート電極を挟むように、前記半導体基板の表面領域に形成されたソース領域およびドレイン領域とを具備し、前記半導体基板の表面から突出するゲート電極の上部の厚さは、前記溝に埋め込まれた前記ゲート電極の下部の厚さの2倍以上であることを特徴とする。



## 【特許請求の範囲】

## 【請求項1】 半導体基板と、

この半導体基板に形成された溝の底面および側面に形成されたゲート絶縁膜と、

前記底面および側面にゲート絶縁膜が形成された溝内に下部が埋め込まれ、上部が前記半導体基板の表面から突出するゲート電極と、

前記ゲート電極を挟むように、前記半導体基板の表面領域に形成されたソース領域およびドレイン領域とを具備し、前記半導体基板の表面から突出するゲート電極の上部の厚さは、前記溝に埋め込まれた前記ゲート電極の下部の厚さの2倍以上であることを特徴とする半導体装置。

## 【請求項2】 半導体基板と、

この半導体基板に形成された溝の底面および側面に形成されたゲート絶縁膜と、

前記底面および側面にゲート絶縁膜が形成された溝内に下部が埋め込まれ、上部が前記半導体基板の表面から突出するゲート電極と、

前記ゲート電極を挟むように、前記半導体基板の表面領域に形成されたソース領域およびドレイン領域とを具備し、前記溝に沿って形成されたチャネル領域のチャネル長を $L$ 、前記ゲート絶縁膜の厚さを $t_{ox}$ 、前記ゲート電極の厚さを $H$ 、ゲート電極の長さを $L_{gate}$ とすると、下記式を満たすことを特徴とする半導体装置。

$$L + X_j - t_{ox} < H < 3.125 \times L_{gate} + X_j - t_{ox}$$

【請求項3】 前記ゲート絶縁膜は、堆積絶縁膜であることを特徴とする請求項1または2に記載の半導体装置。

【請求項4】 前記ゲート電極は、素子分離絶縁膜よりも深く前記半導体基板内に形成されていることを特徴とする請求項1または2に記載の半導体装置。

【請求項5】 前記半導体基板内の前記溝の底部は、丸みを持って形成されていることを特徴とする請求項1または2に記載の半導体装置。

【請求項6】 半導体基板の表面に1対のソース・ドレイン拡散層となる拡散層を形成する工程と、

前記半導体基板上に層間絶縁膜を形成する工程と、

前記層間絶縁膜および前記半導体基板を選択的に除去して溝を形成するとともに、この溝によって前記拡散層を2つに分離することによりソース・ドレイン拡散層を形成する工程と、

前記溝の底面および側面にゲート絶縁膜を形成する工程と、

前記底面および側面にゲート絶縁膜が形成された溝内に、下部が埋め込まれ、上部が前記半導体基板の表面から突出するように、かつ、突出するゲート電極の上部の厚さが前記溝に埋め込まれた前記ゲート電極の下部の厚さの2倍以上となるようにゲート電極を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項7】 半導体基板の表面に1対のソース・ドレイン

拡散層となる拡散層を形成する工程と、

前記半導体基板上に層間絶縁膜を形成する工程と、

前記層間絶縁膜および前記半導体基板を選択的に除去して溝を形成するとともに、この溝によって前記拡散層を2つに分離することによりソース・ドレイン拡散層を形成する工程と、

前記溝の底面および側面にゲート絶縁膜を形成する工程と、

前記底面および側面にゲート絶縁膜が形成された溝内に、下部が埋め込まれ、上部が前記半導体基板の表面から突出するように、ゲート電極を形成する工程とを具備し、

前記溝に沿って形成されたチャネル領域のチャネル長を $L$ 、前記ゲート絶縁膜の厚さを $t_{ox}$ 、前記ゲート電極の厚さを $H$ 、ゲート電極の長さを $L_{gate}$ とすると、下記式を満たすことを特徴とする半導体装置の製造方法。

$$L + X_j - t_{ox} < H < 3.125 \times L_{gate} + X_j - t_{ox}$$

【請求項8】 前記ソース・ドレイン拡散層の形成後に、前記溝を充填するように全面に導電膜を形成し、次に前記溝の外部の前記導電膜をCMP法を用いて研磨除去することにより、前記導電膜からなるゲート電極を埋込み形成することを特徴とする請求項6または7に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、ゲート電極の一部が基板に埋め込まれた、いわゆる溝型チャネル構造のMOSトランジスタを有する半導体装置およびその製造方法に関する。

## 【0002】

【従来の技術】シリコン酸化膜( $SiO_2$ 膜)をゲート酸化膜として用いるMOSトランジスタにおいて、ゲート酸化膜の薄膜化はトランジスタのショートチャネル効果抑制を進める上で重要な役割を果たしている。しかし、ダイレクト・トンネリングが起こる膜厚よりゲート酸化膜を薄くすること(例えば3nm程度より薄い膜厚)は、トランジスタの信頼性上問題であると考えられている。

【0003】また、従来のポリサイドゲート構造(ポリシリコン膜とシリサイド膜の積層構造)では、ゲート電極幅が微細化するに従ってゲート電極の膜厚が大きくなり、ゲート電極の段差が増加するので問題となっている。

【0004】そこで、これらの問題に対する解決策としてメタルゲート電極を採用したり、あるいは $Ta_2O_5$ 膜などの高誘電体膜をゲート絶縁膜として用い、リーク電流(ダイレクト・トンネリング)を抑えつつ酸化膜換算膜厚を小さくする方法等が提案されている。

【0005】しかし、メタルゲート電極は耐熱性の点で問題がある。一方、ゲート絶縁膜に高誘電体膜を使った

MOSトランジスタには以下のような問題がある。

【0006】ゲート絶縁膜（高誘電体膜）を形成した後、800℃から1000℃におよぶ高温熱工程（例えばソース・ドレイン拡散層の形成、層間絶縁膜のリフロー等）を経ると、シリコン基板とゲート絶縁膜との間の界面反応、あるいはゲート絶縁膜とゲート電極との間の界面反応が起こる。

【0007】しかし、ゲート絶縁膜（高誘電体膜）は、このような高温工程に耐えることは困難である。その結果、ゲート絶縁膜は劣化し、電氣的に特性の良いMOSトランジスタを得ることが難しいといった問題があった。

【0008】また、他の解決策として、溝型チャネル構造のMOS型トランジスタ（例えば西松他、Groove Gate MOSFET, 8th Conf. On Solid State Device, pp. 179-183, 1976）が提案されている。

【0009】図13に、従来の溝型チャネル構造のMOS型トランジスタの断面図を示す。図中、201はp型シリコン基板、202は素子分離絶縁膜（STI）、203はゲート絶縁膜、204はLDD、205は高不純物濃度のソース・ドレイン拡散層、206は層間絶縁膜、207はゲート電極（ポリシリコン膜）、208はソース・ドレイン配線電極を示している。

【0010】この種の溝型チャネル構造のMOSトランジスタは、ゲート電極207がソース・ドレイン拡散層205の上まで張り出しているため、例えば合わせずれによるゲート電極207とソース・ドレイン配線電極208との短絡を防止する必要がある。

【0011】そのため、ゲート電極207とソース・ドレイン配線電極208との間の距離を離せば良いが、今度は素子の微細化が困難になるという問題が起こる。

【0012】また、シリコン基板201をエッチングして形成した凹部のシリコン表面をチャネルに使用するので、エッチングダメージを除去することが求められる。しかし、エッチングダメージを除去することは困難であるため、素子の特性が向上しないという問題があった。

【0013】

【発明が解決しようとする課題】上述の如く、従来の溝型チャネル構造のMOSトランジスタは、ゲート電極がソース・ドレイン拡散層の上まで張り出しているため、ゲート電極とソース・ドレイン配線電極との間の距離を離す必要があり、素子の微細化が困難になるという問題があった。

【0014】また、従来のポリサイド（ポリシリコン膜とシリサイド膜との積層膜）からなるゲート構造では、ゲート電極の幅が微細化するに従って、ゲート電極の配線抵抗を低下させるために、ゲート電極の膜厚を厚くしていた。このため、ゲート電極のチャネル長（L）方向

の寸法が小さくなるに従って、ゲート電極の段差が増加するので、ゲート電極へのコンタクトの形成の際に、コンタクト孔のアスペクト比が大きくなり、問題となっていた。

【0015】本発明は、上記事情を考慮してなされたもので、その目的は、素子の微細化を可能とした半導体装置およびその製造方法を提供することにある。

【0016】本発明の他の目的は、ゲート電極の抵抗を下げるとともに、ゲート電極による段差を緩和した半導体装置およびその製造方法を提供することにある。

【0017】

【課題を解決するための手段】上記課題を解決するため、本発明は、半導体基板と、この半導体基板に形成された溝の底面および側面に形成されたゲート絶縁膜と、前記底面および側面にゲート絶縁膜が形成された溝内に下部が埋め込まれ、上部が前記半導体基板の表面から突出するゲート電極と、前記ゲート電極を挟むように、前記半導体基板の表面領域に形成されたソース領域およびドレイン領域とを具備し、前記半導体基板の表面から突出するゲート電極の上部の厚さは、前記溝に埋め込まれた前記ゲート電極の下部の厚さの2倍以上であることを特徴とする半導体装置を提供する。

【0018】また、本発明は、半導体基板と、この半導体基板に形成された溝の底面および側面に形成されたゲート絶縁膜と、前記底面および側面にゲート絶縁膜が形成された溝内に下部が埋め込まれ、上部が前記半導体基板の表面から突出するゲート電極と、前記ゲート電極を挟むように、前記半導体基板の表面領域に形成されたソース領域およびドレイン領域とを具備し、前記溝に沿って形成されたチャネル領域のチャネル長をL、前記ゲート絶縁膜の厚さを $t_{ox}$ 、前記ゲート電極の厚さをH、ゲート電極の長さを $L_{gate}$ とすると、下記式を満たすことを特徴とする半導体装置を提供する。

【0019】

$L + X_j - t_{ox} < H < 3 \cdot 125 \times L_{gate} + X_j - t_{ox}$   
かかる半導体装置において、前記ゲート絶縁膜は、堆積絶縁膜とすることが出来る。

【0020】また、前記ゲート電極は、素子分離絶縁膜よりも深く前記半導体基板内に形成することが出来る。

【0021】更に、前記半導体基板内の前記溝の底部を、丸みを持って形成することが出来る。

【0022】本発明は、半導体基板の表面に1対のソース・ドレイン拡散層となる拡散層を形成する工程と、前記半導体基板上に層間絶縁膜を形成する工程と、前記層間絶縁膜および前記半導体基板を選択的に除去して溝を形成するとともに、この溝によって前記拡散層を2つに分離することによりソース・ドレイン拡散層を形成する工程と、前記溝の底面および側面にゲート絶縁膜を形成する工程と、前記底面および側面にゲート絶縁膜が形成された溝内に、下部が埋め込まれ、上部が前記半導体基

板の表面から突出するように、かつ突出するゲート電極の上部の厚さが前記溝に埋め込まれた前記ゲート電極の下部の厚さの2倍以上となるように、ゲート電極を形成する工程とを具備することを特徴とする半導体装置の製造方法を提供する。

【0023】また、本発明は、半導体基板の表面に1対のソース・ドレイン拡散層となる拡散層を形成する工程と、前記半導体基板上に層間絶縁膜を形成する工程と、前記層間絶縁膜および前記半導体基板を選択的に除去して溝を形成するとともに、この溝によって前記拡散層を2つに分離することによりソース・ドレイン拡散層を形成する工程と、前記溝の底面および側面にゲート絶縁膜を形成する工程と、前記底面および側面にゲート絶縁膜が形成された溝内に、下部が埋め込まれ、上部が前記半導体基板の表面から突出するように、ゲート電極を形成する工程とを具備し、前記溝に沿って形成されたチャンネル領域のチャンネル長を $L$ 、前記ゲート絶縁膜の厚さを $t_{ox}$ 、前記ゲート電極の厚さを $H$ 、ゲート電極の長さを $L_{gate}$ とすると、下記式を満たす半導体装置の製造方法を提供する。

【0024】

$L + X_j - t_{ox} < H < 3.125 \times L_{gate} + X_j - t_{ox}$   
これらの半導体装置の製造方法において、前記ソース・ドレイン拡散層の形成後に、前記溝を充填するように全面に導電膜を形成し、次に前記溝の外部の前記導電膜をCMP法を用いて研磨除去することにより、前記導電膜からなるゲート電極を埋込み形成することが出来る。

【0025】本発明のより具体的な構成は以下の通りである。

【0026】(1) ゲート絶縁膜が $Ta_2O_5$ 膜の単層膜、または $Ta_2O_5$ 膜を含む積層膜である。

【0027】(2) ゲート絶縁膜が $Ba$ と $Sr$ と $Ti$ を含む単層膜、または $Ba$ と $Sr$ と $Ti$ を含む積層膜である。

【0028】(3) ゲート電極がメタルゲート電極である。

【0029】(4) 同一チップ内で膜厚の異なるゲート絶縁膜が用いられている。

【0030】(5) 同一チップ内で材料の異なるゲート絶縁膜が用いられている。

【0031】(6) 本発明、(4)または(5)において、ゲート絶縁膜として強誘電体膜が用いられた領域とゲート絶縁膜として高誘電体膜が用いられた領域が存在する。

【0032】(7) ゲート電極が不純物をドーピングした多結晶シリコン膜である。

【0033】(8) 低不純物濃度の拡散層(LDD)を形成した後、この拡散層の表面に高不純物濃度の拡散層(ソース・ドレイン)を形成することにより、LDD構造を有するソース・ドレイン拡散層を形成する。

【0034】以上のように、本発明に係る半導体装置によれば、ゲート電極の一部が基板中に埋め込まれているので、ゲート電極の抵抗を下げるためにゲート電極の膜厚を厚くしても、ゲート電極による段差を緩和することが出来る。

【0035】また、ゲート電極の基板中に埋め込まれている部分の寸法と基板の表面から突出している部分の寸法とを所定の範囲に規定することにより、最適な性能を有する半導体装置を得ることが可能である。

【0036】特に、ゲート絶縁膜として堆積絶縁膜(例えばCVD絶縁膜)を用いることにより、熱酸化膜等と比べて、膜が凹部内側に張り出して形成される。すなわち、リソグラフィの限界で決まる寸法よりも堆積絶縁膜の膜厚の約2倍分だけチャンネル長を短くできる。その結果、短チャンネル化が実現され、これによりトランジスタの性能を向上させることができる。

【0037】また、STI等の溝掘り型の素子分離を行った場合には、素子分離絶縁膜と素子分離溝との境界部に微少な窪みが生じて、その窪みはゲート絶縁膜(堆積絶縁膜)で埋め込まれる。これにより、いわゆるコーナーデバイス(寄生トランジスタ)の発生を防止でき、素子特性の劣化を防止できるようになる。

【0038】また、ゲート電極を前記素子分離絶縁膜よりも深く半導体基板内に形成することにより、トランジスタの平面積を増加させずにチャンネル幅を増加できる。したがって、微細化を図れるという効果を維持したままチャンネル電流の増加を図ることができる。

【0039】更に、溝の底部を丸みをもって形成することにより、鋭角な角部が無くなるので、ゲート絶縁膜の耐圧が向上したり、チャンネルが丸くなってチャンネル電流が増加するなどのトランジスタ特性の向上を図ることができる。

【0040】更にまた、ソース・ドレイン拡散層の底面を溝の底面よりも上にあるようにすることにより、ソース・ドレイン拡散層の接合深さが実質的にマイナスになり、これにより微細化を進めてもショートチャンネル効果を抑制できるようになる。

【0041】また、本発明の半導体装置の製造方法によれば、本発明に係る溝型チャンネル構造のMOSトランジスタのソース・ドレイン拡散層をゲート電極と自己整合的に形成できるようになる。

【0042】また、ゲート絶縁膜は高温熱処理工程(例えばソース・ドレイン拡散層の活性化工程、メタルゲート電極の形成工程、ゲート電極の後酸化工程、リフロー工程)の後に形成できるので、ゲート絶縁膜として、強誘電体膜や高誘電体膜のように熱によって劣化しやすい絶縁膜を用いることができるようになる。これにより、例えば強誘電体膜を用いることによりゲート絶縁膜の酸化膜換算膜厚を薄くでき、トランジスタの素子特性の改善を図ることができる。

【0043】また、特に、CMP法を用いてゲート電極を埋込み形成することにより、RIE法を用いてゲート電極を埋込み形成する場合とは異なり、ゲート電極形成時のプラズマプロセスダメージ（例えばゲート絶縁膜の絶縁破壊）の問題はない。また、CMP法を用いた場合とは異なり、メタル電極の材料の制約（例えば耐熱性）が無くなる。

【0044】

【発明の実施の形態】以下、図面を参照しながら、本発明の実施の形態（以下、実施形態）について説明する。

【0045】（第1の実施形態）図1は、本発明の第1の実施形態に係る溝型チャネル構造のMOSトランジスタを示す図であり、図1（a）は平面図、図1（b）は同平面図のA-A'断面図、図1（c）は同平面図のB-B'断面図である。以下の実施形態では、nチャネルのMOSトランジスタについて説明するが、pチャネルのMOSトランジスタの場合には各導電型を逆にすれば良い。

【0046】図中、101はp型のシリコン基板を示しており、このシリコン基板101の表面にはトレンチ型の素子分離絶縁膜102が形成されている。シリコン基板101上には層間絶縁膜106が形成されている。ここで、素子形成領域（AA：Active Area）のシリコン基板101の不純物濃度は、 $5 \times 10^{15} \text{ cm}^{-3}$ 程度である。

【0047】素子分離絶縁膜102で規定された素子形成領域の層間絶縁膜106からその下のシリコン基板101にかけては凹部107が形成されている。この凹部107は層間絶縁膜106を貫通し、シリコン基板101の途中の深さまで達している。

【0048】凹部107内にはゲート絶縁膜109を介してゲート電極110が埋込み形成されている。ゲート絶縁膜109は例えば厚さ4.0nm程度の熱酸化膜である。

【0049】ゲート絶縁膜109はシリコン基板101とゲート電極110との界面に形成されている。したがって、シリコン基板101内に埋め込まれた部分のゲート電極110の底面および側面はゲート絶縁膜109で覆われている。

【0050】また、ゲート電極110は、例えばポリシリコン膜、またはTiN膜やRu膜等のメタル膜で構成されている。ゲート電極110のチャネル方向の幅は、例えば0.1~0.15 $\mu\text{m}$ 程度である。凹部107の底面下のチャネル領域には、しきい値電圧を調整するために、不純物濃度 $5 \times 10^{17} \text{ cm}^{-3}$ 程度のチャネルイオン注入層108が形成されている。

【0051】低不純物濃度のn型のソース・ドレイン拡散層104およびその上の高不純物濃度のn型のソース・ドレイン拡散層105は、ゲート電極110と自己整合的に形成されている。

【0052】ここで、ソース・ドレイン拡散層104のシリコン基板101の表面からの拡散深さ、不純物濃度は、それぞれ0.2 $\mu\text{m}$ 程度、 $5 \times 10^{19} \text{ cm}^{-3}$ 程度である。一方、ソース・ドレイン拡散層105の拡散深さ、不純物濃度は、それぞれ0.15 $\mu\text{m}$ 程度、 $5 \times 10^{20} \text{ cm}^{-3}$ 程度である。

【0053】層間絶縁膜106、111にはゲート電極110、ソース・ドレイン拡散層105に対してのコンタクトホール112が開孔されており、このコンタクトホール112を介して配線113がゲート電極110、n型ソース・ドレイン拡散層105にコンタクトしている。

【0054】ここで、層間絶縁膜106、111は例えばSiO<sub>2</sub>膜であり、配線113は例えばAl膜で形成されている。

【0055】このように構成された溝型チャネル構造のMOSトランジスタによれば、層間絶縁膜106を貫通し、かつ素子形成領域のシリコン基板101の途中の深さまで達した凹部107内にゲート絶縁膜109を介してゲート電極110が埋め込まれ、かつ凹部107を挟むようにシリコン基板101の表面にソース・ドレイン拡散層104、105が形成されているので、ゲート電極110がソース・ドレイン拡散層104、105の上まで張り出すことはない。したがって、本実施形態によれば、溝型チャネル構造のMOSトランジスタの微細化を図れる。

【0056】また、本実施形態によれば、ソース・ドレイン拡散層104、105の底面が凹部の底面のチャネルよりも上にあるので、ソース・ドレイン拡散層104、105の接合深さが実質的にマイナスになり、これにより微細化を進めてもショートチャネル効果を抑制できるようになる。

【0057】また、ソース・ドレイン拡散層104、105の接合深さを実質的にマイナスに保ったままソース・ドレイン拡散層104、105の接合深さを深くすれば、ソース・ドレイン拡散層104、105の低抵抗化を図ることができる。

【0058】また、ゲート電極110の抵抗を下げるためにゲート電極110の高さを増加させても、ゲート電極110の一部がシリコン基板101中に埋め込み形成されているため、ゲート電極110によって形成される段差を緩和できる。

【0059】次に本実施形態の溝型チャネル構造のMOSトランジスタの製造方法について説明する。図2~図7はその製造方法を示す工程図である。各図（a）は平面図、各図（b）は同平面図のA-A'断面図を示している。

【0060】まず、図2に示すように、不純物濃度 $5 \times 10^{15} \text{ cm}^{-3}$ 程度のp型のシリコン基板101を用意する。あるいはp型シリコン基板の表面に例えば厚さ1 $\mu$

m程度のpまたはn型シリコン層をエピタキシャル成長させてなる、いわゆるエピタキシャル基板を用いても良い。

【0061】なお、同一基板にnチャネルおよびpチャネルのMOSトランジスタを形成するいわゆるCMOS構造の場合には、シリコン基板101の(100)面のnチャネルトランジスタ形成領域にはp型ウェルを形成し、pチャネルトランジスタ形成領域にはn型ウェルを形成する。以下では、nチャネルトランジスタの場合について説明する。pチャネルMOSトランジスタの場合には、不純物の型を逆に交えれば良い。

【0062】次に同図に示すように、例えば反応性イオンエッチング(RIE)法を用いてシリコン基板101の表面に深さ約0.35 $\mu$ m程度のトレンチを掘り、そのトレンチ内にSiO<sub>2</sub>膜などの素子分離絶縁膜102を埋め込むことにより、STI(Shallow Trench Isolation)と呼ばれる素子分離を行う。

【0063】次に同図に示すように、厚さ8.0nm程度のSiO<sub>2</sub>膜103を形成した後、このSiO<sub>2</sub>膜103上に例えばフォトレジストパターン(図示せず)を形成し、これをマスクに用いて所望の領域にイオン注入を行うことにより、低不純物濃度のソース・ドレイン拡散層(LDD)となる低不純物濃度のn型拡散層104を形成する。イオン注入の条件は、例えばリン(P<sup>+</sup>)のイオン注入であれば加速電圧70KeV程度、ドーズ量 $4 \times 10^{13}$  cm<sup>-2</sup>程度である。

【0064】続いて同レジストパターンをマスクに用いてイオン注入を行うことにより、高不純物濃度のソース・ドレイン拡散層となる高不純物濃度のn型拡散層105を低不純物濃度のn型拡散層104の表面に形成する。イオン注入の条件は、例えば砒素(As)のイオン注入であれば、加速電圧30KeV程度、ドーズ量 $5 \times 10^{15}$  cm<sup>-2</sup>程度である。この後、マスクとして用いたフォトレジストパターンを剥離する。

【0065】なお、本実施形態では、ドレイン基板の電界を緩和するためにLDD構造のソース・ドレイン拡散層を形成するが、低不純物濃度または高不純物濃度のソース・ドレイン拡散層のみの形成しても良い(シングル・ソース・ドレイン方式)。

【0066】次に同図に示すように、全面にSiO<sub>2</sub>からなる厚さ200nm程度の層間絶縁膜106を例えばCVD法を用いて形成した後、例えば800℃程度のN<sub>2</sub>雰囲気中で30分程度デンシファイを行う。

【0067】この熱工程はn型拡散層104、105中の不純物の活性化も兼ねている。また、n型拡散層104、105の深さ(Xj)を抑えたいときは、デンシファイの温度を750℃程度に低温化して、950℃で10秒程度のRTA(Rapid Thermal Anneal)プロセスを併用してn型拡散層104、10

5中の不純物の活性化を行っても良い。

【0068】次に図3に示すように、ゲート電極が形成される領域に、層間絶縁膜106を貫通し、シリコン基板101の途中の深さまで達した凹部107をレジスト(図示せず)をマスクにエッチングにより形成するとともに、凹部107によりn型拡散層104、105を2つに分離することによって、1対の低不純物濃度のソース・ドレイン拡散層(LDD)104およびその上に1対の高不純物濃度のソース・ドレイン拡散層105を形成する。

【0069】具体的には、例えばフォトレジストパターン(図示せず)をマスクに用いて、ゲート電極が形成される領域のSiO<sub>2</sub>膜103、層間絶縁膜106、シリコン基板101をRIE法にてエッチングすることにより、底面が基板表面から0.30 $\mu$ m程度の位置にある凹部107を形成する。

【0070】その後、凹部107を形成する際のエッチング時に生じたエッチングポリマー層(図示せず)等を除去した後、シリコン基板101のシリコン表面を露出させ、例えば900℃の水素雰囲気中で3分程度熱処理を行うことにより、凹部107表面のSi原子を動かす。

【0071】このとき、シリコン原子はシリコン表面積が最小になるように動くので、凹部107を形成する際のエッチング時に生じたダメージ等を回復させることができる。もちろん、これ以外のエッチング・ダメージ回復および除去の手段を用いても良い。

【0072】次に同図に示すように、凹部107の底面の露出したシリコン表面に厚さ5nm程度のダミーSiO<sub>2</sub>膜(図示せず)を例えば熱酸化法により形成した後、層間絶縁膜106等またはフォトレジスト(図示せず)をマスクに用いて、凹部107の底面下のシリコン基板101(チャネル領域)に対して選択的にチャネルイオン注入を行って、チャネルイオン注入層108を形成する。

【0073】nチャネルトランジスタの場合、例えば0.7V程度のしきい値電圧(Vth)を設定するためには、例えば加速電圧10KeV、ドーズ量 $5 \times 10^{12}$  cm<sup>-2</sup>程度の条件でボロン(B<sup>+</sup>)をイオン注入し、チャネル領域にp型のチャネルイオン注入層108を選択的に形成する。

【0074】この工程は、図2の工程の段階でSiO<sub>2</sub>膜103を通して全面にイオン注入を行なうようにしても良いが、その場合には選択的なチャネルイオン注入を行うことができない。

【0075】また、チャネルイオン注入層108中の不純物の活性化は、この後、例えばRTA(Rapid Thermal Anneal)を用いて800℃、10秒程度の熱処理で行っても良い。

【0076】この後の熱工程を考慮して、トランジスタ



のショート・チャネル効果を抑制できるように、チャネル領域（チャネルイオン注入層 108）の不純物プロファイル最適化する。

【0077】次に図4に示すように、ダミー  $\text{SiO}_2$  膜（図示せず）を除去した後、熱酸化により基板表面の凹部 107 の内面（底面、側面）にゲート絶縁膜（熱酸化膜）109 を形成する。また、酸化膜の表面を熱窒化した膜をゲート絶縁膜に用いても良い。さらに、CVD- $\text{SiO}_2$  膜、CVD- $\text{SiON}$  膜、または CVD- $\text{Si}_3\text{N}_4$  膜を含む積層膜をゲート絶縁膜に用いても良い。

【0078】次に図5に示すように、凹部 107 の内部を充填するように、ゲート電極となる導電膜 110 を全面に形成する。導電膜 110 としては、例えば不純物を高濃度にドーブしたポリシリコン膜やメタル膜を用いる。メタル膜としては、例えば  $\text{Ru}$  膜、 $\text{TiN}$  膜、 $\text{W}$  膜、タングステンナイトライド膜（ $\text{WN}_x$ ）膜、 $\text{WSi}_2$  膜、 $\text{TiSi}_2$  膜またはこれらの積層膜があげられる。もちろん、CVD- $\text{SiO}_2$  膜、CVD- $\text{SiON}$  膜、CVD- $\text{Si}_3\text{N}_4$  膜を含む積層膜をゲート絶縁膜に用いた場合には、不純物をドーブしたポリシリコン膜をゲート電極として用いても良い。

【0079】次に図6に示すように、凹部 107 の外部の導電膜 110 を CMP 法により研磨除去することにより、凹部 107 の内部にゲート電極 110 を埋込み形成する。

【0080】次に図7に示すように、全面に  $\text{SiO}_2$  膜からなる厚さ 150 nm 程度の層間絶縁膜 111 を形成した後、ソース・ドレイン拡散層 105、ゲート電極 110 に対してのコンタクトホール 112 を層間絶縁膜 106、111 に開孔する。

【0081】最後に、 $\text{Al}$  膜または  $\text{Al-Cu}$  膜等のメタル膜を全面に形成し、このメタル膜をパターニングして、図1に示すように配線 113 を形成した後、パッシベーション膜（図示せず）を全面に形成して、トランジスタの基本構造が完了する。

【0082】本実施形態の製造方法によれば、ソース・ドレイン拡散層 104、105 をゲート電極 110 と自己整合的に形成できるようになる。

【0083】また、CMP 法を用いてゲート電極 110 を埋込み形成しているため、RIE 法を用いてゲート電極を埋込み形成する場合とは異なり、ゲート電極形成時のプラズマプロセスダメージ（例えばゲート絶縁膜 109 の絶縁破壊、ゲート絶縁膜 109 の信頼性低下）の問題はない。

【0084】また、CMP 法を用いてゲート電極 110 を埋込み形成しているため、RIE 法を用いた場合とは異なり、メタルゲート電極を用いてもその材料の制約（例えばエッチング性についての制約）はない。

【0085】また、チャネル領域に不純物イオンを選択的に注入することにより、チャネルイオン注入層 108

を形成できるので、つまりソース・ドレイン拡散層 104、105 にはよけいな不純物が導入されないため、ソース・ドレインの接合容量およびソース・ドレイン拡散層と基板間の逆方向 PN 接合リーク電流の増加を防止できる。

【0086】また、チャネルイオン注入層 108 はソース・ドレイン拡散層 104、105 の活性化アニールの高温熱工程を受けないので、急峻な不純物プロファイルを維持でき、短チャネル効果を抑えるのに最適な不純物プロファイルを有するチャネルイオン注入層 108 を実現できる。

【0087】また、ソース・ドレイン拡散層 104 を得るために、RIE 法による側壁残し工程が不要になるので、工程が簡略化する。

【0088】（第2の実施形態）図8は、本発明の第2の実施形態に係る溝型チャネル構造の MOS トランジスタを示す断面図である。なお、図1と対応する部分には図1と同一符号を付してあり、詳細な説明は省略する（他の実施形態も同様）。

【0089】本実施形態が第1の実施形態と主として異なる点は、熱酸化膜の代わりに堆積絶縁膜（例えば CVD 絶縁膜）をゲート絶縁膜 114 に用いたことにある。本実施形態によれば、ゲート絶縁膜 114 として堆積絶縁膜を用いているため、熱酸化膜等と比べて、凹部内側に張り出して形成される。すなわち、リソグラフィの限界で決まる寸法よりもゲート絶縁膜 114 の膜厚の約2倍分だけ、チャネル長を短くできる。その結果、短チャネル化が実現され、これによりランジスタの性能をさらに向上させることができる。

【0090】また、STI 等の溝掘り型の素子分離を行った場合には、素子分離絶縁膜 102 と素子分離溝との境界部に微少な窪みが生じて、その窪みはゲート絶縁膜 114（堆積絶縁膜）で埋め込まれる。

【0091】これにより、いわゆるコーナーデバイス（寄生トランジスタ）の発生を防止でき、しきい値電圧の変動等の素子特性の劣化を防止できるようになる。また、溝型チャネル構造の MOS トランジスタを集積形成した場合には、MOS トランジスタ間のしきい値電圧等の素子特性のばらつきを抑制できるようになる。

【0092】次に本実施形態の溝型チャネル構造の MOS トランジスタの製造方法について説明する。なお、ゲート絶縁膜 114 を形成する前までの工程（ダミー  $\text{SiO}_2$  膜を除去するまでの工程）は同じなので省略する。

【0093】まず、CVD 法等の堆積法を用いて堆積型のゲート絶縁膜 114 を全面に形成する。例えば、CVD 法を用いて厚さ 20 nm 程度の高誘電体膜（例えば  $\text{Ta}_2\text{O}_5$  膜）をゲート絶縁膜 114 として形成する。

【0094】このとき、凹部 107 のシリコン表面と高誘電体膜（ゲート絶縁膜 114）との界面に、いわゆる界面準位等ができ難くするために、また、凹部 107 の



シリコン表面と高誘電体膜との界面での反応を防止するためには以下のようにすれば良い。

【0095】すなわち、凹部107のシリコン表面に薄い(例えば1nm程度)SiO<sub>2</sub>膜を形成した後に高誘電体膜を形成したり、あるいはNH<sub>3</sub>ガス雰囲気中でRTP(Rapid Thermal Process)により凹部107のシリコン表面に直接窒化した膜を形成した後に高誘電体膜を形成したり、あるいは厚さ1nm程度のSiO<sub>2</sub>膜の表面をNO<sub>2</sub>ガス等を用いて表面窒化した、いわゆるオキシナイトライド膜などを介して高誘電体膜(例えばTa<sub>2</sub>O<sub>5</sub>膜、(Ba, Sr)TiO<sub>3</sub>膜)を形成すると良い。

【0096】また、CVD-SiO<sub>2</sub>膜や、CVD-SiON膜や、CVD-Si<sub>3</sub>N<sub>4</sub>膜を含む積層絶縁膜をゲート絶縁膜114に用いても同じような効果が得られる。すなわち、成膜後に、例えば1000℃、10秒程度のRTPによる熱処理を行ってデンシファイすると、凹部107のSi表面と積層絶縁膜(ゲート絶縁膜114)との界面の界面準位が減少したり、リーク電流が減少するなど絶縁膜としての絶縁特性が改善されたりする。

【0097】次にゲート絶縁膜114を介して凹部107内にゲート電極110をCMP法を用いて埋込み形成する。このときは、ゲート電極110の幅は、ゲート絶縁膜114の膜厚の2倍分だけ細くなっている。すなわち、トランジスタのチャンネル長がリソグラフィーで決まる寸法よりさらに細くすることができる。

【0098】ゲート電極110としては、例えば不純物をドーブしたポリシリコン膜や、メタル膜(例えばRu膜、TiN膜、W膜、タングステンナイトライド(WN<sub>x</sub>)膜、WSi<sub>2</sub>膜、TiSi<sub>2</sub>膜またはこれらの積層膜)があげられる。もちろん、CVD-SiO<sub>2</sub>膜、CVD-SiON膜、CVD-Si<sub>3</sub>N<sub>4</sub>膜を含む積層膜をゲート絶縁膜に用いた場合には、不純物をドーブしたポリシリコン膜をゲート電極として用いても良い。

【0099】この後の工程は第1の実施形態と同じである。

【0100】このような製造方法によれば、ソース・ドレイン拡散層104、105の活性化およびリフロー工程などの高温熱処理工程をゲート絶縁膜114の形成前に行うことができる。

【0101】したがって、ゲート絶縁膜114およびゲート電極110としてそれぞれ高誘電体膜およびメタル膜を使用してもこれらの膜はソース・ドレイン拡散層の活性化や平坦化のための高温工程を受けることがないので、リーク電流増加などのゲート絶縁膜114の劣化を抑えることができる。ゲート絶縁膜114として高誘電体膜を用いれば、ゲート絶縁膜114の酸化膜換算膜厚を薄くできるので、トランジスタの素子特性の改善を図ることができるようになる。

【0102】また、CMP法を用いてゲート電極110を埋込み形成しているの、RIE法を用いた場合とは異なり、メタルゲート電極の材料の制約(例えば耐熱性)が無くなるので、高誘電体膜のリーク電流が下げられるようなメタルゲート電極を用いることができるようになる。

【0103】その他、第1の実施形態と同様な効果が得られる。

【0104】(第3の実施形態)図9は、本発明の第3の実施形態に係る溝型チャンネル構造のMOSトランジスタを示す図であり、図9(a)は平面図、図9(b)は同平面図のA-A'断面図である。

【0105】第1の実施形態では、コンタクトホール112内にA1等の金属からなる配線113を直接埋込み形成したが、コンタクトホール112の開孔径が小さくなるとA1膜がコンタクトホール112の中に入っていないので、配線113の信頼性が低下する。

【0106】そこで、本実施形態では、コンタクトホール112の内面を覆うように例えばTi膜/TiN膜を全面に形成し、続いてコンタクトホール112の内部を充填するようにW膜を全面に形成した後、コンタクトホール112の外部のTi膜/TiN膜およびW膜をCMP法等を用いて除去することにより、プラグ電極(コンタクトプラグ)115を埋込み形成する。この後、配線113を形成すれば、コンタクトホールのアスペクトが高くても配線113の信頼性は高くなる。

【0107】(第4の実施形態)図10は、本発明の第4の実施形態に係る溝型チャンネル構造のMOSトランジスタを示す図であり、図10(a)は平面図、図10(b)は同平面図のA-A'断面図、図10(b)は同平面図のB-B'断面図である。

【0108】本実施形態が第1の実施形態と異なる点は、ゲート電極110が素子分離絶縁膜102よりも深くシリコン基板101内に形成されていることにある。言い換えれば凹部107の底が素子分離溝の底より下にある。例えば、凹部107の深さは0.4μm、素子分離溝の深さは0.25μmである。

【0109】このような構成であれば、図10(c)に示すようにチャンネル幅を3次元的に形成できるため、トランジスタの平面積を増加させずにチャンネル幅を増加できる。したがって、微細化を図れるという効果を維持したままチャンネル電流の増加を図ることができる。

【0110】(第5の実施形態)図11は、本発明の第5の実施形態に係る溝型チャンネル構造のMOSトランジスタを示す図であり、図11(a)は平面図、図11(b)は同平面図のA-A'断面図、図11(b)は同平面図のB-B'断面図である。

【0111】第1の実施形態では、凹部107のシリコン表面のエッチングダメージを除去するために、特別な高温工程(例えば、凹部107のシリコン表面を露出さ

せた後、例えば900℃の水素雰囲気で3分程度の熱処理を行って、凹部107のシリコン表面のSi原子を動かした。

【0112】このとき、シリコン原子は凹部107のシリコン表面の面積が最小になるように動くので、凹部107のシリコン表面のエッチングダメージ等を回復させることができるが、この熱処理条件を調整（例えば、凹部107のシリコン表面を露出させた後、950℃の水素雰囲気で5分程度の熱処理に変更）することによって凹部107の形状を変化させることができる。

【0113】すなわち、図11(b)に示すように、凹部107の底部をなだらかな円弧状に変形させることができる。このような構造をとると、凹部107の底部（ゲート絶縁膜109が形成される領域）に鋭角な角部が無くなるので、ゲート絶縁膜109の耐圧の向上を図ることができるとともに、チャネル部をなだらかにするために電子の移動度の劣化を抑制することができ、これによりトランジスタ特性の向上を図ることができるようになる。

【0114】（第6の実施形態）図12は、本発明の第6の実施形態に係る溝型チャネル構造のMOSトランジスタの製造方法を示す工程断面図である。

【0115】本実施形態が第1の実施形態と異なる点は、図12(a)に示すように層間絶縁膜106をエッチングして溝を形成し、その溝の側壁にSiO<sub>2</sub>膜からなるサイドウォール117を形成した後、図12(b)に示すように、層間絶縁膜106およびサイドウォール117をマスクにしてシリコン基板101をエッチングすることにより、凹部107を形成することにある。

【0116】サイドウォール117は、全面に例えば厚さ20nm程度のSiO<sub>2</sub>膜を堆積した後、このSiO<sub>2</sub>膜をRIE法にて全面エッチングするという、いわゆる側壁残しにより形成する。

【0117】このような形成方法によれば、凹部107のチャネル長方向の幅の寸法を、リソグラフィの限界で決まる寸法よりも小さくできる。したがって、ゲート長の短いゲート電極を実現できる通常のトランジスタでは、ゲート長（チャネル長さ）を短くすると、ショートチャネル効果が起こり、しきい値電圧（V<sub>th</sub>）が低下してリーク電流が増加するなどの問題が発生する。

【0118】しかし、本実施形態は、第1の実施形態と同様に、ソース・ドレイン拡散層104、105の接合深さが実質的にマイナスになるなどの理由により、ショートチャネル効果を抑えることができる。

【0119】したがって、本実施形態によれば、サイドウォール117を形成して、チャネル長を短くすることにより、トランジスタの特性を向上させることが可能となる。

【0120】（第7の実施形態）本実施形態は、ゲート電極の、半導体基板の表面から突出する上部の厚さと、

溝に埋め込まれた下部の厚さを、最適なトランジスタの性能が得られるように規定した例である。

【0121】図14は、膜厚が一定（例えばH=0.10μm）でゲート長（L）が異なる3種類のゲート電極を示し、図15は、これらのゲート電極（タングステンからなる）のゲート長（L<sub>gate</sub>）とゲート電極の配線抵抗との関係を示すグラフである。

【0122】図15から、ゲート長（L<sub>gate</sub>）が0.2μmから0.1μmに、1/2に短くなった場合、ゲート電極の配線抵抗は、約2倍となっていることがわかる。従って、ゲート電極の配線抵抗が素子性能（駆動速度等）に大きく影響する場合には、これまで、素子の微細化のためのL<sub>gate</sub>の短縮の要請に対して、ゲート電極の厚さを2倍にして素子性能の低下を防止していた。しかし、ゲート電極を厚くすると、ゲート電極が上方に突出し、段差が大きくなるため、平坦化のための層間絶縁膜を厚くしなければならず、そうすると層間絶縁膜に形成されるコンタクト孔のアスペクト比が大きくなり、コンタクトの形成が困難となるという問題があった。

【0123】本実施形態に係るコンケープ構造のトランジスタでは、ゲート電極の一部をSi基板中に埋め込むことにより、上記問題を解決しており、埋め込みの深さとして、次の3つの形がある。

【0124】（1）トランジスタ特性を劣化させることなく、最適な深さにゲート電極70の一部がSi基板61中に埋め込まれている（図16(a)）。

【0125】（2）浅く埋め込まれている（図16(b)）。

【0126】（3）深く埋め込まれている（図16(c)）。

【0127】ここで、ゲート電極70のトータルの膜厚をH、ゲート電極70がSi基板61上に突出している寸法をh、ソース・ドレイン拡散領域の接合深さをX<sub>j</sub>、ゲート絶縁膜69の厚さをt<sub>ox</sub>、ソース・ドレイン拡散領域の底部のレベルとゲート電極70の下方のチャネル領域のレベルとの差をdとすると、図65A~65Cから分かるように、以下の式（1）が成立する。

$$【0128】 H = h + X_j + d - t_{ox} \quad \dots (1)$$

本実施形態では、hとdの最適値について検討する。

【0129】図17は、ゲート長L<sub>gate</sub>とドレイン電流I<sub>d</sub>との関係を示すグラフである。なお、ドレイン電流I<sub>d</sub>は、ゲート長L<sub>gate</sub>=0.20μmの場合を1として規格化した値である。ここでは、L<sub>gate</sub>=0.20μmのトランジスタとして、X<sub>j</sub>、t<sub>ox</sub>等の値は、最適化されている。

【0130】図17から、ゲート長L<sub>gate</sub>が長くなるに従って、ドレイン電流I<sub>d</sub>は低下していることがわかる。ドレイン電流I<sub>d</sub>が20%以上低下すると、素子の動作に影響が生ずるので、ドレイン電流I<sub>d</sub>の20%の低下、即ちチャネル長L=0.25μm（L<sub>gate</sub>の25

%増) がチャネル長 $L$ の上限であることがわかる。

【0131】図16(a)～(c)に示すようなコンケープ構造のトランジスタの場合、ゲート電極70の埋め込みの深さが深ければ深いほど、トータルのチャネル長さ( $l_1$ 、 $l_2$ 、 $l_3$ )は長くなる。これは、溝の側面もチャネル長に寄与するからである。

【0132】これらの結果から、トランジスタの性能上、ゲート長 $L_{gate}$  (溝底部のチャネル長) および $d$ は、次の式を満たすことが望ましい。

【0133】

$$d < L_{gate} \times 0.25 / 2 \quad \dots (2)$$

次に、図18を参照して、 $d$ の下限について検討する。

【0134】ゲートがコンケープ構造ではない平面構造のトランジスタの場合、ショートチャネル効果を防止するために、ソース・ドレイン拡散領域の接合深さ $X_j$ を浅くすることが重要である。例えば、 $X_j = 0.1 \mu m$ のトランジスタに比べ、 $X_j = 0.05 \mu m$ のトランジスタの方がショートチャネル効果を低減出来ることが知られている。しかし、従来の平面構造のトランジスタでは、 $X_j = 0 \mu m$ とすることは原理的に不可能である。

【0135】これに対し、本実施形態のようなコンケープ構造のトランジスタでは、 $d$ の値を変えることにより、 $X_j$ を見掛上、マイナスにすることが可能である。このことは、コンケープ構造のトランジスタにおいて、ショートチャネル効果を著しく低減できることを示している。即ち、図18に示すように、 $d = 0$  ( $X_j = 0$ に相当) から $d = 0.01 \mu m$ 、 $d = 0.02 \mu m$ と、 $d$ を増加させることにより、ショートチャネル効果を低減できることがわかる。従って、ショートチャネル効果を抑制するためには、 $d > 0$ であることが重要である。なお、 $d > 0.02 \mu m$ では、ショートチャネル効果の抑

制効果は飽和している。

【0136】次に、ゲート電極のSi基板上に突出している部分の高さ $h$ について考える。図19は、 $h$ が $h_1$ の場合、図20は、 $h$ が $h_1$ より大きい $h_2$ である場合をそれぞれ示す。 $L = 0.20 \mu m$ の場合を例にとつて、 $L = 0.20 \mu m$ の設計ルールに従って、コンタクト孔80のアスペクト比 (図中の $h/W$ に相当) を計算すると、図21に示すようになる。

【0137】図19において、 $h_1 = 0.20 \mu m$ の場合、コンタクト孔80のアスペクト比は1である。しかし、図21において、 $h_2 = 0.6 \mu m$ の場合、コンタクト孔80のアスペクト比は3にもなる。このように大きなアスペクト比では、コンタクト孔80の形成およびコンタクトプラグの埋め込みが困難となるばかりか、コンタクトプラグの抵抗も増加してしまう。

【0138】しかし、 $h$ が大きければ大きいほど、ゲート電極70の配線抵抗を低下させることが出来る。このことから、 $h$ は、トランジスタ特性において、ゲート電極の配線抵抗の低下と、コンタクトプラグの抵抗増加および埋め込み困難性とのトレードオフによって決定される値であることがわかる。

【0139】従来のコンタクト形成の例およびトランジスタの特性の点から、コンタクト孔のアスペクト比は3以下にすることが望ましいことがわかっている。従って、ゲート電極の配線抵抗を考慮して、最低膜厚がゲート長 $L$ より大きいことにすると、ゲート長 $L$ を最小の設計法 (デザインルール) として、次の式が成立する。

【0140】

$$L_{gate} < h < \text{ゲート長} L \times 3 \quad \dots (3)$$

以上の関係をまとめると、以下のようになる。

【0141】

$$L + X_j - t_{ox} < H < 3 \times L_{gate}$$

$$L + X_j - t_{ox} < H < 3.125 \times L_{gate} + X_j - t_{ox} \quad \dots (4)$$

各デザインルール ( $L = 0.20 \mu m$ 、 $0.15 \mu m$ 、 $0.10 \mu m$ ) における $X_j$ 、 $d_{max}$ 、 $h_{max}$ 、 $t_{ox}$ 、 $H_{min}$ 、 $H_{max}$ の値は、以下の表ようになる。

【0142】

【表1】

表

$L$ ( $\mu m$ )	$X_j$ ( $\mu m$ )	$d_{max}$ ( $\mu m$ )	$h_{max}$ ( $\mu m$ )	$t_{ox}$ ( $\mu m$ )	$H_{min}$ ( $\mu m$ )	$H_{max}$ ( $\mu m$ )
0.20	0.10	0.025	0.60	50	0.25	0.675
0.15	0.10	0.01875	0.45	40	0.20	0.52875
0.10	0.10	0.0125	0.30	30	0.17	0.3825

【0143】(注) ソース/ドレイン領域の抵抗を下げるために、 $X_j$ は、一定値 $0.10 \mu m$ とした。

【0144】 $H_{min}$ と $H_{max}$ とをまとめたのが、図22である。図22に示すように、 $H_{min}$ と $H_{max}$ との間に入るように、各設計ルールにおいてゲート電極の厚みを調整することが必要である。

【0145】図23(a)～(c)は、ゲート電極70の厚みおよびSi基板61内に埋め込まれた部分の深さを種々変化したトランジスタを示す。以上のことを考慮すると、図23(a)に示すように、Si基板61内に埋め込まれた部分の深さが浅過ぎると、ショートチャネル効果を抑制することが困難であり、図23(c)に

示すように、Si基板61内に埋め込まれた部分の深さが深過ぎると、トランジスタのドレイン電流が低下し、図23(d)に示すように、ゲート電極70の厚みが薄いと、ゲート電極70の配線抵抗が大きくなってしまう。従って、図23(b)に示すような構造が最適である。

【0146】図23(b)に示すような構造とすることにより、ゲート電極70の配線抵抗の増大による素子特性の劣化、コンタクト孔のアスペクト比の増大によるコンタクトの形成の困難さ、およびコンタクト抵抗の増大による素子特性の劣化を防止することが出来る。

【0147】なお、本発明は、上記実施形態に限定されるものではない。例えば、上記実施形態では、ゲート絶縁膜の膜厚に関して、詳述しなかったが、例えば3.3V系と2.5V系などのように異なる複数の電圧に対応するために、ゲート絶縁膜の膜厚が異なる複数種のMOSトランジスタを形成しても良い。

【0148】このようにするには、例えばゲート電極の工程前に、所望の膜厚のゲート絶縁膜を形成するトランジスタ領域外をマスクで覆って上記所望のトランジスタ領域に所望のゲート絶縁膜を選択的に形成する工程を繰り返せば良い。

【0149】あるいは、所望の膜厚のゲート絶縁膜およびゲート電極を全てのトランジスタ領域に形成した後、上記所望の膜厚のゲート絶縁膜を形成すべきトランジスタ領域をマスクで覆って他のトランジスタ領域のゲート絶縁膜およびゲート電極を除去する工程を繰り返しても良い。

【0150】このように同一チップ内にゲート絶縁膜の膜厚が異なる複数種のMOSトランジスタを形成すれば、例えばpチャネルMOSトランジスタおよびnチャネルMOSトランジスタのパフォーマンスをそれぞれ最大にできたり、あるいはメモリセル部のMOSトランジスタおよび周辺回路制御部のMOSトランジスタのパフォーマンスをそれぞれ最大にできる。

【0151】また、ゲート絶縁膜の材料が異なる複数種のMOSトランジスタを形成しても良い。

【0152】このようにするには、例えばまず第1のゲート絶縁膜（例えばSiO<sub>2</sub>膜とその上に形成されたTa<sub>2</sub>O<sub>5</sub>膜との積層絶縁膜）を形成した後、この第1のゲート絶縁膜上にゲート電極（例えばRu膜）を全てのトランジスタ領域に形成する。

【0153】次に、第2のゲート絶縁膜（例えばPZT膜等の強誘電体膜）を形成したい領域のトランジスタ領域の第1のゲート絶縁膜および第1のゲート電極を選択的に除去した後、そのトランジスタ領域に第2のゲート絶縁膜および第1のゲート電極を選択的に形成する。このとき、必要であれば、第1のゲート電極と材料が異なる第2のゲート電極を第2のゲート絶縁膜上に形成しても良い。以上の工程を必要な数だけ繰り返す。

【0154】このように同一チップ内にゲート絶縁膜の材料が異なる複数種のMOSトランジスタを形成すれば、例えばpチャネルMOSトランジスタおよびnチャネルMOSトランジスタのパフォーマンスをそれぞれ最大にできたり、あるいはメモリセル部のMOSトランジスタおよび周辺回路制御部のMOSトランジスタのパフォーマンスをそれぞれ最大にできる。

【0155】また、強誘電体膜をゲート絶縁膜に用いた強誘電体メモリ素子と高誘電体膜をゲート絶縁膜に用いたトランジスタを同じトランジスタ構造で一連のプロセスで連続して形成でき、これにより高集積メモリチップを簡単なプロセス工程実現できるようになる。

【0156】その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0157】

【発明の効果】以上説明したように、本発明によれば、層間絶縁膜を貫通し、かつ素子形成領域の半導体基板の途中の深さまで達した凹部内にゲート電極を埋め込み、かつ上記凹部を挟むように半導体基板の表面にソース・ドレイン拡散層を形成することにより、ゲート電極のソース・ドレイン拡散層上への張り出しを無くすることができるので、溝型チャネル構造のMOSトランジスタの微細化を図れる半導体装置およびその製造方法を実現できるようになる。

【0158】また、ゲート電極の一部が基板中に埋め込まれているので、ゲート電極の抵抗を下げるためにゲート電極の膜厚が厚くしても、ゲート電極による段差を緩和することが出来る。

【0159】更に、ゲート電極の基板中に埋め込まれている部分の寸法と基板の表面から突出している部分の寸法とを所定の範囲に規定することにより、最適な性能を有する半導体素子を得ることが可能である。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る溝型チャネル構造のMOSトランジスタを示す平面図および断面図

【図2】本発明の第1の実施形態に係る溝型チャネル構造のMOSトランジスタの製造方法を示す平面図および断面図

【図3】本発明の第1の実施形態に係る溝型チャネル構造のMOSトランジスタの製造方法を示す平面図および断面図

【図4】本発明の第1の実施形態に係る溝型チャネル構造のMOSトランジスタの製造方法を示す平面図および断面図

【図5】本発明の第1の実施形態に係る溝型チャネル構造のMOSトランジスタの製造方法を示す平面図および断面図

【図6】本発明の第1の実施形態に係る溝型チャネル構造のMOSトランジスタの製造方法を示す平面図および断面図

【図 7】本発明の第 1 の実施形態に係る溝型チャネル構造の MOS トランジスタの製造方法を示す平面図および断面図

【図 8】本発明の第 2 の実施形態に係る溝型チャネル構造の MOS トランジスタを示す断面図

【図 9】本発明の第 3 の実施形態に係る溝型チャネル構造の MOS トランジスタを示す平面図および断面図

【図 10】本発明の第 4 の実施形態に係る溝型チャネル構造の MOS トランジスタを示す平面図および断面図

【図 11】本発明の第 5 の実施形態に係る溝型チャネル構造の MOS トランジスタを示す平面図および断面図

【図 12】本発明の第 6 の実施形態に係る溝型チャネル構造の MOS トランジスタを示す工程断面図

【図 13】従来の溝型チャネル構造の MOS トランジスタを示す断面図

【図 14】本発明の第 7 の実施形態における膜厚が一定でゲート長が異なる 3 種類のゲート電極を示す斜視図

【図 15】本発明の第 7 の実施形態におけるゲート電極のゲート長 ( $L_{gate}$ ) とゲート電極の配線抵抗との関係を示す特性図

【図 16】本発明の第 7 の実施形態におけるゲート電極の Si 基板内に埋め込まれた深さが異なるトランジスタを示す断面図

【図 17】本発明の第 7 の実施形態におけるゲート長  $L_{gate}$  とドレイン電流  $I_d$  との関係を示す特性図

【図 18】本発明の第 7 の実施形態におけるゲート長  $L_{gate}$  としきい値電圧との関係を示す特性図

【図 19】本発明の第 7 の実施形態におけるゲート電極の Si 基板上に突出している部分の高さが異なるトラン

ジスタを示す断面図

【図 20】本発明の第 7 の実施形態におけるゲート電極の Si 基板上に突出している部分の高さが異なるトランジスタを示す断面図

【図 21】本発明の第 7 の実施形態におけるゲート電極の Si 基板上に突出している部分の高さとコンタクト孔のアスペクト比との関係を示す特性図

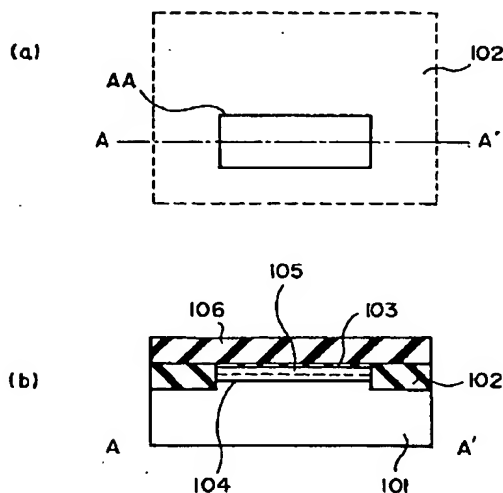
【図 22】各デザインルールにおける  $H_{min}$  と  $H_{max}$  を示す特性図

【図 23】ゲート電極の厚みおよび Si 基板内に埋め込まれた部分の深さを種々変化させたトランジスタを示す断面図。

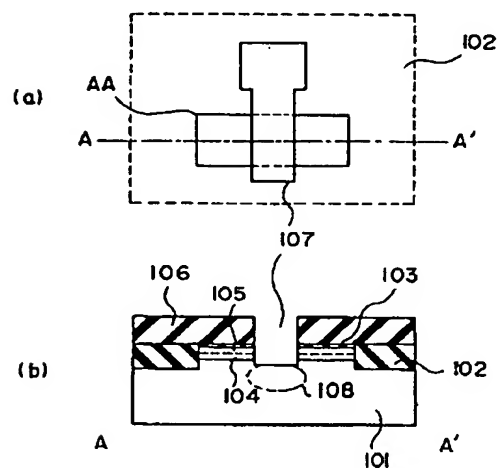
【符号の説明】

61, 101…シリコン基板  
66, 107, 111…層間絶縁膜  
69, 109, 114…ゲート絶縁膜  
70, 110…ゲート電極  
80, 112…コンタクトホール  
73, 113…配線  
102…素子分離絶縁膜  
103…SiO<sub>2</sub> 膜  
104…ソース・ドレイン拡散層  
105…ソース・ドレイン拡散層 (LDD)  
106…層間絶縁膜  
107…凹部  
108…チャネルイオン注入層  
115…プラグ電極  
117…サイドウォール

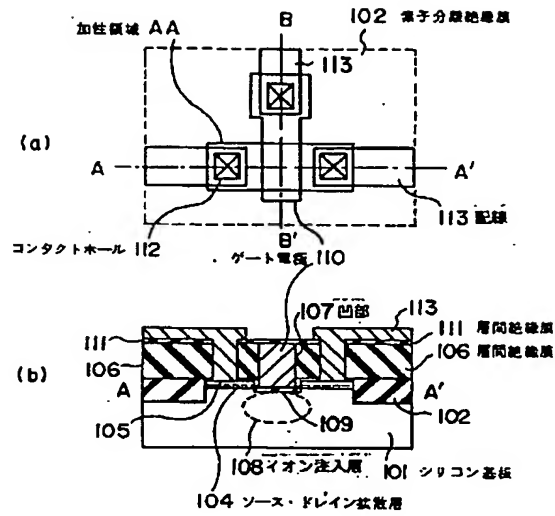
【図 2】



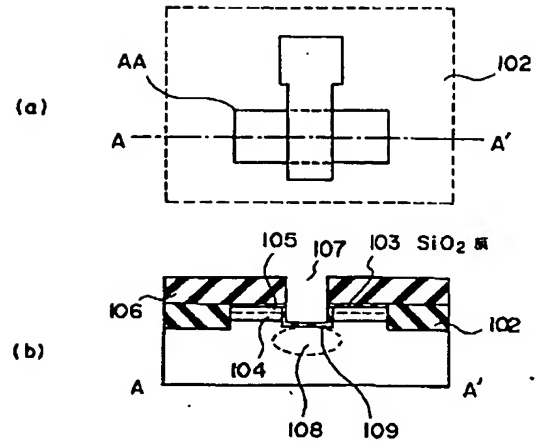
【図 3】



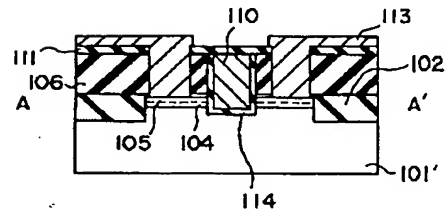
【図 1】



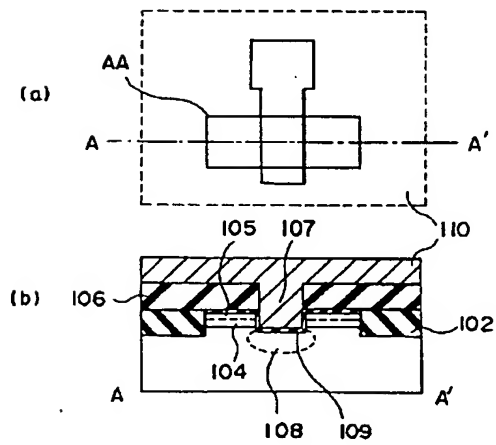
【図 4】



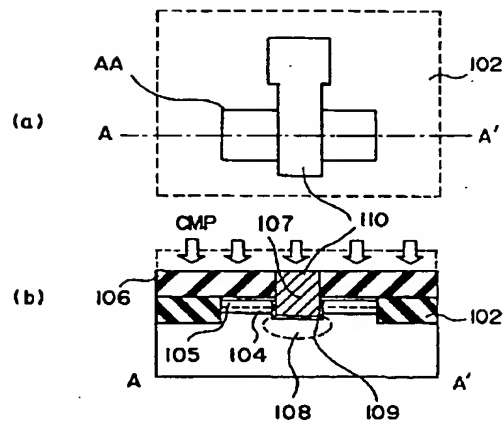
【図 8】



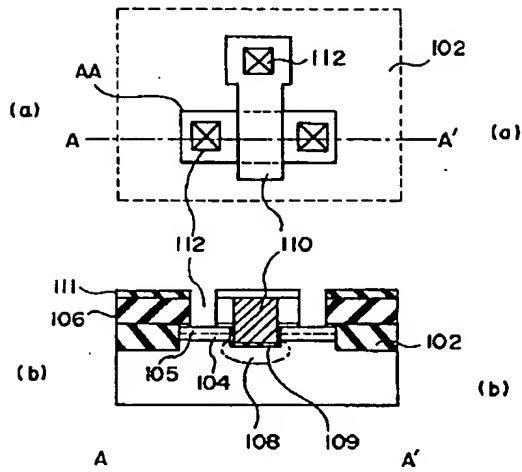
【図 5】



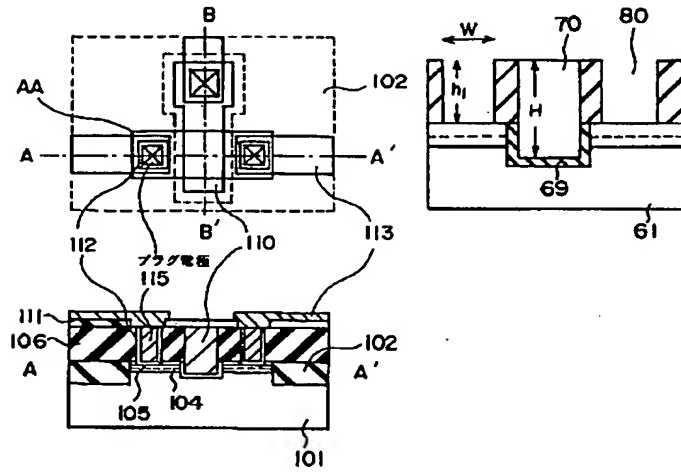
【図 6】



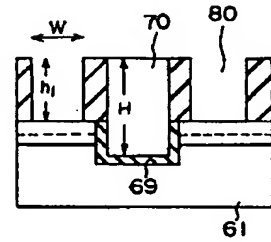
【図 7】



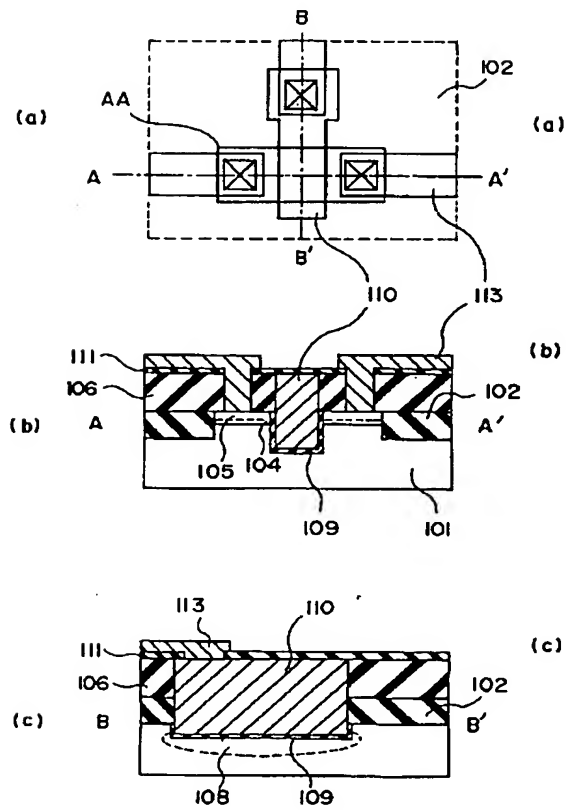
【図 9】



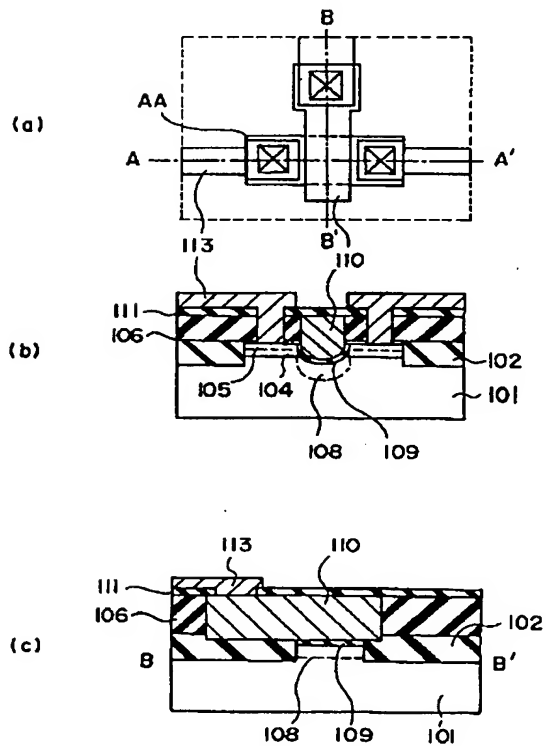
【図 19】



【図 10】

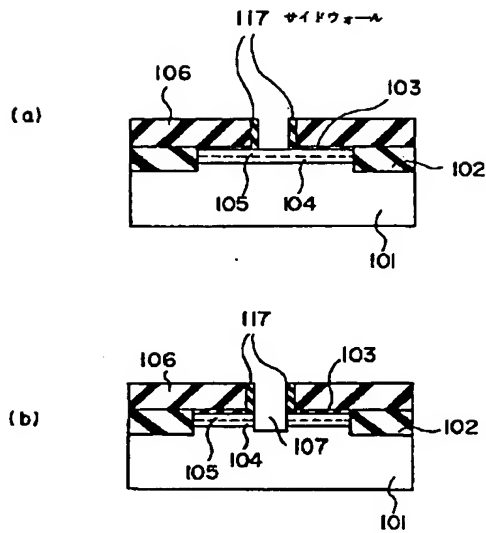


【図 11】

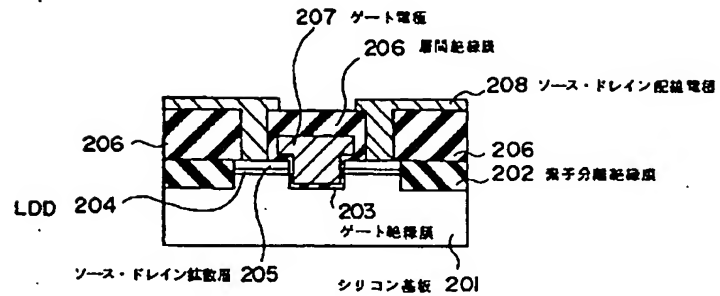




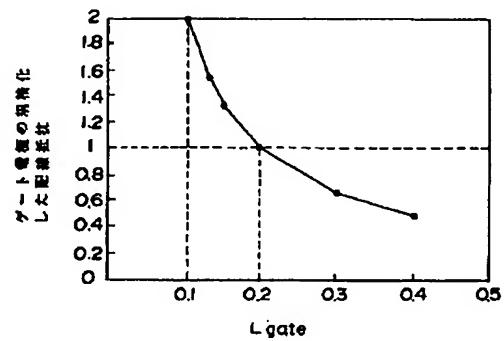
【図12】



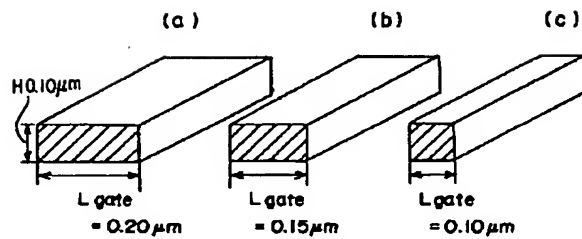
【図13】



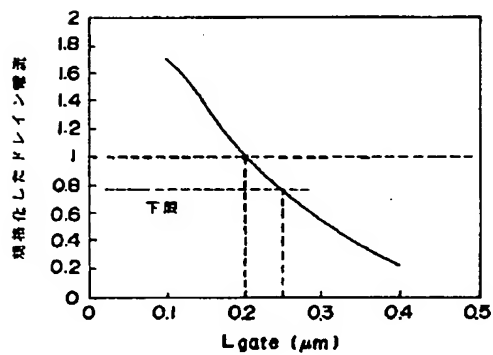
【図15】



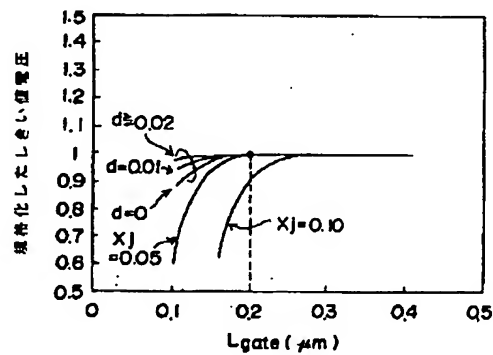
【図14】



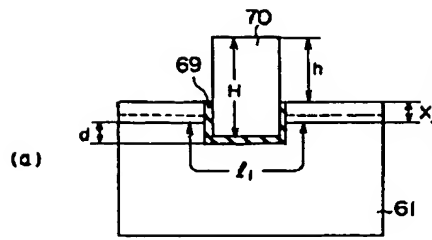
【図17】



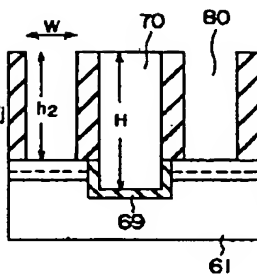
【図18】



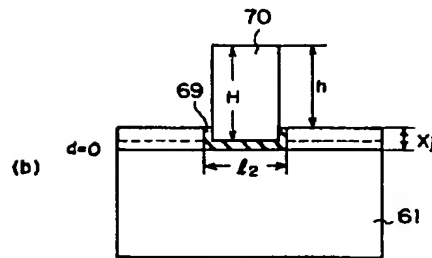
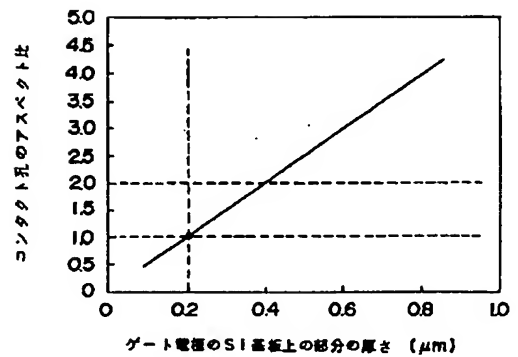
【図16】



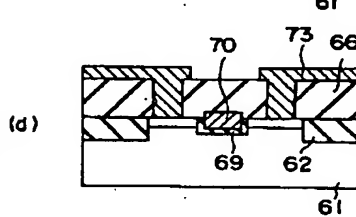
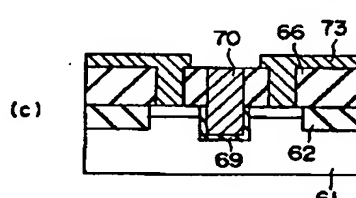
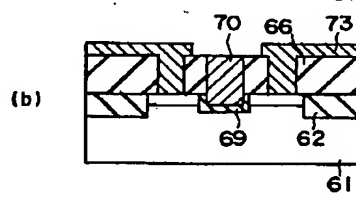
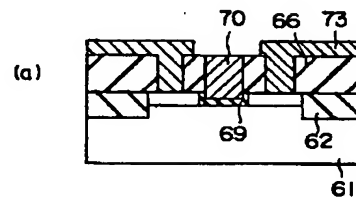
【図20】



【図21】



【図23】



【図22】

